

(54) IC MEMORY  
(11) 59-45695 (A) (43) 14.3.1984 (19) JP  
(21) Appl. No. 57-157217 (22) 7.9.1982  
(71) FUJITSU K.K. (72) YUUCHI FURUKAWA  
(51) Int. Cl. G11C17/00, G11C29/00

(43) 14.3.1984 (19) JP

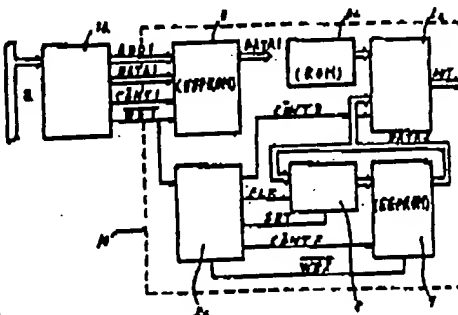
(22) 7.9.1982

(72) YUUCHI FURUKAWA

(51) Int. Cl.<sup>3</sup>. G11C17/00, G11C29/00

**PURPOSE:** To control the frequency of writing to a rewritable PROM easily and securely, by disposing a circuit which controls the frequency of writing and a general data storage circuit discretely on the same substrate.

**CONSTITUTION:** The writing and reading of the rewritable PROM (EEPROM) 3 are controlled through the 1st control part 1a. The frequency of the rewriting of the EEPROM3 is counted and stored by the 2nd control part 2a, counter 5, EEPROM7, etc., and compared by a comparing part 6a with the limit value of an ROM4a to control the rewriting frequency of the EEPROM3. The EEPROM3 including this general data storage circuit and a writing frequency control circuit including the control part 2a, counter 5, EEPROM7, ROM4a, comparing part 6a, etc., are disposed discretely on the same chip 10, and their outputs are sent out through different terminals. This constitution controls the rewriting frequency of the rewritable programmable ROM easily and securely.



2: 1st storage part (EEPROM).    6a: 2nd storage part (ROM).  
7: 3rd storage part (EEPROM).    a: bus

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—45695

⑬ Int. Cl.<sup>3</sup>  
G 11 C 17/00  
29/00

識別記号  
1 0 1

庁内整理番号  
6549—5B  
7922—5B

⑭ 公開 昭和59年(1984)3月14日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑮ ICメモリ

川崎市中原区上小田中1015番地  
富士通株式会社内

⑯ 特 願 昭57—157217  
⑰ 出 願 昭57(1982)9月7日  
⑱ 発 明 者 古川祐一

⑲ 出 願 人 富士通株式会社  
川崎市中原区上小田中1015番地  
⑳ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

ICメモリ

2. 特許請求の範囲

同一基板上に、汎用データを記憶する第1の記憶手段、該第1記憶手段の書き込み回数を計数する手段、該書き込み回数計数における複数の管理値を記憶する第2の記憶手段、該計数手段による計数データを記憶する第3の記憶手段、該第3記憶手段の計数データを第2記憶手段における複数の管理値と比較する手段を備えてなり、第1、第3記憶手段を電気消去可能な読出し専用記憶回路、第2記憶手段を固定または電気消去可能な読出し専用記憶回路により構成し、制御部は第1記憶手段の書き込み信号を受信する毎に計数手段をして第3記憶手段における旧計数データに1を加算して計数データを更新せしめ、更に計数データを比較手段に送出して管理値と比較させてその判定結果を送出せしめることを特徴とするICメモリ。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は電気消去可能な読出し専用記憶回路(EEPROM)によるICメモリの改良に関する。

(b) 技術的背景

従来より半導体技術の発達に伴い多量のICメモリが提供されている。読出し専用記憶回路/素子(ROM)は一度記憶した内容を何回でも読出しが出来、且その間にあって電源の供給を遮断しても記憶が失われない不揮発性のメモリである。ROMにも複数の種類が提供されており、例えば文字のドットデータのように一旦記憶すれば書き替える必要のない用途に適用するものやシステムにおける初期化動作のプログラムのように書き替えの頻度は少いが長い時間間隔であっても書き替え機能が必要な用途に適用するものが存在する。こゝでは後者のために提供される通常のメモリにおける書き込み読出し動作においてはROMとして動作し、異なる電気信号の操作によって記憶内容を消去し、新たにデータを書き込むことが可能なEEPROMに関するものである。

## (c) 従来技術と問題点

従来よりEEPROM は有限の回数は $10^5 \sim 10^6$ 回の書き込み寿命を有し、その限度範囲でメモリ動作が保証されている。従ってシステムに組込んで利用するとき、該EEPROMの書き込み寿命に比較して、書き込み頻度が極めて少く、書き込み寿命を意識する必要がないときには書き込み回数は全く管理することなく放置しても問題はない。しかし書き込み寿命に比較して書き込み頻度が割合に多いときは、EEPROMを書き込み回数管理するための回路を設けて計数し、指定された限度に達したときは以後に発生する確度が高い障害を避けるためEEPROMを交換する使用方法が行われている。第1図に従来における書き込み回数管理手段を備えたEEPROMのブロック図を示す。図において1は第1制御部、2は第2制御部、3は第1記憶部、4は第2記憶部、5はカウンタおよび6は比較部である。第1制御部1はバスを經由して受信する第1記憶部3への汎用データDATA1についてアドレスデータADD1、制御信号CO

NT1およびWEを与えて書き込み動作または第1記憶部3の読取り動作を制御する他、第1記憶部の書き込み回数を管理するためアドレスデータADD2、制御信号CONT2を与えて書き込み回数の計数データDATA2を第1記憶部3の一部領域に書き込み/読出しするための制御を行う。第2制御部2は第1制御部1よりのライトイネーブル信号WEを受信する都度カウンタ5の保持する旧計数データCLKを送出して1を加算せしめて計数データDATA2を第1制御部1へ送出させる。

このように第1制御部1はDATA1およびDATA2について第1記憶部3のそれぞれ異なる領域へ書き込み且読出し制御を行う。第1記憶部3はEEPROMによって構成され第1制御部1の制御に従って書き込み読出しを行う記憶部である。第2記憶部4は書き込み回数の管理値を記憶する例えばマスク型の読出し専用記憶回路(ROM)により構成される。勿論外部において適当な書き込み手段により予め書き込み処理を施したヒューズ型のROMまたはEEPROMによって構成しても良い。

何れにしても例えば書き込み回数管理値 $10^5$ 回のときは11111010000の10ビットデータ、 $10^6$ 回のときは11000011010100000の17ビットデータを固定的に保持する。前述の第2制御部2が電源投入時における初期状態設定動作において第1記憶部3に記憶する旧計数データをカウンタ5にセットし、その後第1制御部1より受信するWE信号毎にカウンタ5をして1ずつ加算して得られる計数データDATA2をその都度第1制御部1のADD2、CONT2およびWEによって第1記憶部3へ記憶する都度DATA2は第1制御部1の制御に従い比較部6へ送出される。一方第2制御部2の制御信号CONT3に従って比較部6はDATA2と第2記憶部4より受信する管理値と比較して出力端子(OUT)よりその判定結果例えばDATA2<管理値のときは高レベルを送出して書き込み可としDATA2 $\geq$ 管理値のときは低レベルを送出して書き込み不可として0を送出し第1記憶部3が規定の書き込み回数になったとして交換することを通報

するようにしていた。このように従来は書き込み回数の計数データを管理値と比較してEEPROMによる第1記憶部3を管理するために種々の外部付加回路を設ける場合余分なスペースを必要とする他、計数データDATA2の管理値への近接状況を把握するためには汎用データDATA1と共にDATA2を送出せしめて点検する必要があった。また図示省略したが必要によって別途選択手段を設けてDATA1とDATA2を分離する必要がある等の欠点を有していた。

## (d) 発明の目的

本発明の目的は書き込み回数を管理するための回路と汎用データを記憶するEEPROMを同一基板上に設けて無駄な実装スペースを削除すると共に複数の管理値を記憶、且照合することにより最終管理値への近接状況を把握し易くする他、汎用データと計数データとを別回路に分離して両データが同一端子に出力されるような事なく容易な管理手段を有するEEPROMによるICメモリを提供しようとするものである。

## (e) 発明の構成

この目的は同一基板上に、汎用データを記憶する第1の記憶手段、該第1記憶手段の書き込回数を計数する手段、該書き込回数計数における複数の管理値を記憶する第2の記憶手段、該計数手段による計数データを記憶する第3の記憶手段、該第3記憶手段の計数データを第2記憶手段における複数の管理値と比較する手段を備えてなり、第1、第3記憶手段を電気消去可能の脱出し専用記憶回路、第2記憶手段を固定または電気消去可能の脱出し専用記憶回路により構成し、制御部は第1記憶手段の書き込信号を受信する毎に計数手段をして第3記憶手段における旧計数データに1を加算して計数データを更新せしめ、更に計数データを比較手段に送出して管理値と比較させてその判定結果を送出せしめることを特徴とするICメモリを提供することによって達成することが出来る。

## (f) 発明の実施例

以下本発明の一実施例について図面を参照しつつ説明する。第2図は本発明の一実施例における

書き込回数管理手段を備えたEEPROMによるICメモリのブロック図を示す。図において1aは第1制御部、2aは第2制御部、3は第1記憶部、4aは第2記憶部、5はカウンタ、6aは比較部および7は第2記憶部である。尚10は本発明の一実施例における同一基板領域を示す。第1図と共通の符号を有する第1記憶部3とカウンタ5は従来のそれと同等であり共通の機能を有する。但し第1記憶部3は第1制御部1aより汎用データDATA1の記憶動作制御のみを受け、計数データDATA2の記憶動作制御を受けないEEPROM構成によるDATA1専用メモリとして動作する。その他の第1制御部1a、第2制御部2a、第2記憶部4aおよび比較部6aも基本動作としては従来のサフィックスのない符号を有する構成部材の機能に類似の機能を備え部分的に異なる動作を行う。

第1制御部1aはバスより受信するデータに従いアドレスデータADD1、制御信号CONT1およびライトイネーブルWE1を第1記憶部3へ


与え汎用データDATA1を送込みまたADD1およびCONT1を与えて脱出し動作を行う。

第2制御部2aは従来の同様の電源投入に伴って初期状態の初期動作および計数動作を行う。但し従来の異なり旧計数データはEEPROMで構成する計数データ専用メモリ第3記憶部7より得てカウンタ5にセットし、WE1を受信する毎にクロックCLKをカウンタ5に送出して1づつ加算計数し、計数データDATA2を第3記憶部7に送出させると共に第2制御部2aは制御信号CONT2およびライトイネーブルWE2を第3記憶部7に送出してDATA2を記憶させると共にDATA2を比較部6aに送出させる。ここで第3記憶部7はEEPROMで構成されそのアドレスは記憶内容が従来の同じく例えば10<sup>3</sup>を示す10ビットとか10<sup>6</sup>を示す17ビットのように一連のビットデータであり、特にアドレスデータを必要としない。第2記憶部4aも従来の同様に管理値を記憶するマスク型ROMまたはヒューズ型ROMあるいはEEPROMで構成する。但し

従来の異なり複数の管理値を記憶させる。例えば書き込回数最終管理値を10<sup>3</sup>回として11111101000と予報管理値9×10<sup>3</sup>回として1110000100を同一ビット数により構成且連続して記憶させておく。そしてこの第2記憶部4aにおける連続する複数の管理値を前述の比較部6aに送出される管理値と同一ビット数からなるDATA2と第2制御部2aは制御信号CONT3によって複数回だけ該ビット構成単位毎に繰返して比較させ、DATA2<各管理値のときは高レベル1を送出させ、DATA2≧管理値のときは低レベルを送出させるようにすれば、例えばDATA2が複数の管理値に対し何れも下廻るときは比較部6aは最終管理値に対して1、予報管理値に対しても1を出力して11、DATA2が両管理値の間にあるときは出力10、DATA2が最終管理値に等しくなるか上廻ったときは出力0を出力端子OUTより送出する。このように複数の管理値を第2記憶部4aに直列して設定して比較部6aをしてDATA2の構成ビットを単位

備にEEPROMによるICメモリのブロック図である。

図において1、1aは第1制御部、2、2aは第2制御部、3は第1記憶部、4、4aは第2記憶部、5はカウンタ、6、6aは比較部および7は第3記憶部である。

代理人 弁理士 松岡 宏  


として直列に比較を繰返せばDATA 2が最終管理値と等しくなるか上廻るときは0の連続して検出され、DATA 2が最終管理値未満のときは予報管理値の設定に従って1を頭とする表示を行い最終管理値への接近度を検出することが出来る。

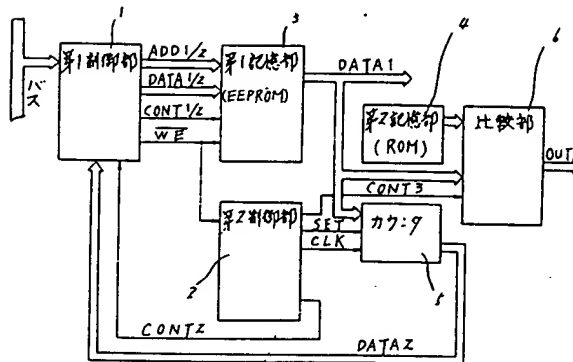
#### (d) 発明の効果

以上説明したように本発明によれば従来EEPROMの書き回数を管理する手段を外部回路によっていたのに比較して同一基板上に1チップとして構成したため実装スペースを削減低減出来ると共に、計数データ専用の記憶部を設けて従来の第1制御部はEEPROMを単なるメモリ制御のみで書き回数管理のための制御手段を全く考慮することなく容易に使用出来、且最終管理値に対する接近度も得られEEPROMにおける書き回数を容易に管理することが出来るので有用である。

#### 4. 図面の簡単な説明

第1図は従来の外部回路によって書き回数管理手段を備えたEEPROMのブロック図、第2図は本発明の一実施例における書き回数管理手段を

第1図



第2図

